

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

12630926

Basic Patent (No,Kind,Date): JP 7235680 A2 950905 <No. of Patents: 001>

MANUFACTURE OF THIN-FILM TRANSISTOR (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): GOTO YASUMASA; SETO TOSHISUKE; KAWAHISA YASUTO

IPC: \*H01L-029/786; H01L-021/336; H01L-021/265

CA Abstract No: 124(02)019778K

Derwent WPI Acc No: C 95-341995

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 7235680</b>	A2	950905	JP 9425800	A	940224 (BASIC)

Priority Data (No,Kind,Date):

JP 9425800 A 940224

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04943080      \*\*Image available\*\*

MANUFACTURE OF THIN-FILM TRANSISTOR

PUB. NO.:      07-235680 [JP 7235680 A]

PUBLISHED:      September 05, 1995 (19950905)

INVENTOR(s):   GOTO YASUMASA

                 SETO TOSHISUKE

                 KAWAHISA YASUTO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
                 (Japan)

APPL. NO.:      06-025800 [JP 9425800]

FILED:           February 24, 1994 (19940224)

INTL CLASS:    [6] H01L-029/786; H01L-021/336; H01L-021/265

JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC  
                 MATERIALS -- Glass Conductors); R100 (ELECTRONIC MATERIALS --  
                 Ion Implantation); R116 (ELECTRONIC MATERIALS -- Light  
                 Emitting Diodes, LED)

#### ABSTRACT

PURPOSE: To make it possible to simplify the manufacturing steps of an offset region in a submicron or micron order by performing the etching step of a gate electrode, the impurity implantation step and the re-etching step under the same mask.

CONSTITUTION: After resist, photosensitive polyimide 106 and the like are patterned by photolithography, a gate electrode 107a is etched by a CDE method or the like so that the angle of  $\theta_1 = 25^\circ$  is formed. Thereafter, ions are implanted, and phosphorus is implanted by an ion doping method, without peeling the resist, the polyimide and the like. Furthermore, under the intact used state, wherein the etching is performed by the CDE method, this part is used as the mask in anisotropy etching by an RIE method without peeling the resist, the polyimide and the like. When the gate electrode is etched again at the taper angle of  $\theta_2 = 87^\circ$  by the RIE method, an offset region 110 of about 600nm and an LDD region 109 of about 460nm can be formed.

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235680

(43) 公開日 平成7年(1995)9月5日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
21/336				
21/265				
		9056-4M	H 0 1 L 29/ 78	3 1 1 P
			21/ 265	G
			審査請求 未請求 請求項の数 1	O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平6-25800

(22) 出願日 平成6年(1994)2月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 後藤 康正

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 瀬戸 俊祐

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 川久 慶人

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

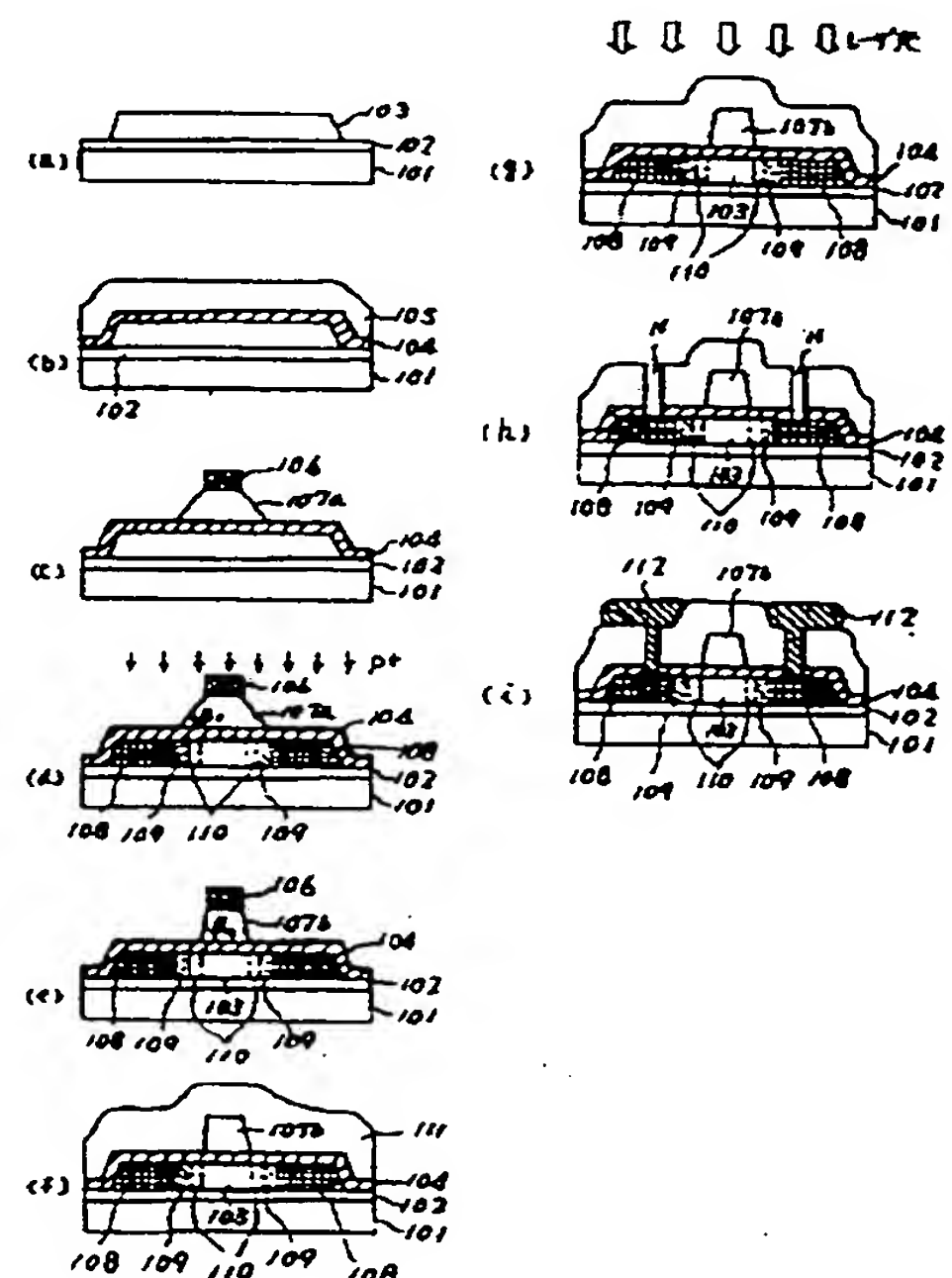
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【目的】 製造工程を煩雑化することなしに、低リーク電流のTFTを提供する。

【構成】 多結晶シリコンをチャネルに有するトップゲート型薄膜トランジスタにおいて、ソース・ドレイン領域にイントリンシック領域、低不純物濃度領域、高不純物濃度領域を有する薄膜トランジスタをゲート電極を同一のマスクを用いて、2回のエッチング工程と、1回の不純物注入工程で形成する薄膜トランジスタの製造方法。



## 【特許請求の範囲】

【請求項1】絶縁基板上に半導体層を形成する工程と、この半導体層上に底面が広がったゲート電極を形成する工程と、このゲート電極をマスクとして前記半導体層に不純物を導入しソース・ドレイン領域形成する工程と、前記ゲート電極の側面をエッチングする工程とを具備することを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、薄膜トランジスタの製造方法に関する。

## 【0002】

【従来の技術】プラズマ、発光ダイオード、液晶等の表示デバイスは、表示部の薄型化が可能であり、事務機器やコンピュータ等の表示装置あるいは特殊な表示装置への用途として要求が高まっている。

【0003】これらの中で、非晶質であるアモルファス・シリコン(a-Si)または結晶を持ったシリコン(ポリシリコン:poly-Si)を用いた薄膜トランジスタ(TFT)をスイッチング素子としてマトリクス上に配した液晶表示装置(TFT-LCD)は、表示品位が高く、低消費電力であるため、その開発が盛んに行われている。

【0004】特にpoly-Siを用いたTFTは、a-SiTFTよりも移動度が10から100倍程度高く、その利点を利用して画素スイッチング素子として用いるだけでなく、周辺駆動回路にpoly-SiTFTを用いて、画素TFTと駆動回路TFTを同一基板上に同時に形成する駆動回路一体型TFT-LCDの研究開発が盛んに行われている。

【0005】poly-SiTFTは、a-SiTFTに比べ移動度は高いが、他方リーク電流(TFTがOFFのとき流れてしまうリーク電流)がa-SiTFTに比べ高いという難点がある。駆動回路を構成する場合には、特に問題にならないが画素スイッチングに用いた場合は、画質劣化の原因となる。

【0006】そのため、画素に用いるpoly-SiTFTには、さまざまに構造上に工夫をこらしたものがある。その一例として、オフセット構造を持ったTFTを製造する場合、ソースドレイン領域、オフセット領域を形成するために、フォトリソグラフィ工程が2回必要である。従って露光のために少なくとも2つのマスクが必要であり、それに共うPEP工程等の露光工程も夫々必要となり、工程が煩雑化するという問題があった。

## 【0007】

【発明が解決しようとする課題】従来の薄膜トランジスタの製造方法は、リーク電流の低減化に有利なオフセット構造を有するものの、少なくとも2つのマスクを必要とする2回の露光工程が必要で工程が煩雑化する問題があった。

【0008】本発明は上記問題点に鑑みてなされたもので、1回の露光工程でオフセット構造を形成でき、製造工程数を簡略化した薄膜トランジスタの製造方法の提供を目的とする。

## 【0009】

【課題を解決するための手段】上記目的を達成するために、本発明は絶縁基板上に半導体層を形成する工程と、この半導体層上に底面が広がったゲート電極を形成する工程と、このゲート電極をマスクとして前記半導体層に不純物を導入しソース・ドレイン領域を形成する工程と、前記ゲート電極の側面をエッチングする工程とを具備することを特徴とする薄膜トランジスタの製造方法を提供するのである。ここで、半導体はIV族半導体やII-VI族等の化合物半導体であっても良いが、液晶表示装置に使用した際の画質向上面からシリコンが好ましい。

## 【0010】

【作用】透明絶縁性基板上に、薄膜トランジスタを製造する際、ゲート電極のエッチング工程、不純物注入工程、再エッチング工程を、同一のマスクで行うことにより、サブミクロンあるいはミクロンオーダのオフセット領域の製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

## 【0011】

【実施例】以下、本発明の詳細を図示の実施例により説明する。

(実施例1) 実施例1を図1に従い説明する。図1にはnチャネルコプラナ型TFTの製造工程を示している。

【0012】最初にガラス基板・石英基板等からなる透光性絶縁基板101上にCVD法によりバッファ層となるSiO<sub>x</sub>膜102を100nm程度被着する。さらにCVD法によりa-Si:H膜を50nm被着し、450度で1時間炉アニールを行った後、例えばXeClエキシマレーザアニールによりa-Si:H膜を熔融再結晶化させpoly-Si膜103を形成する。その後、フォトリソグラフィ等によりpoly-Si膜103をパターンニング、エッチングし、島状に加工する(図1(a))。

【0013】次に、CVD法によりゲート絶縁膜としてSiO<sub>x</sub>膜104を100nm被着した後、ゲート電極として例えば燐ドーパ-Si膜105を400nm被着する(図1(b))。

【0014】フォトリソグラフィによりレジスト、感光性ポリイミド106等をパターンニングした後に、ゲート電極107aを例えばCDE法等により $\theta_1 = 25^\circ$ の角度がつくようにエッチングを行う(図1(c))。

【0015】次にレジスト、ポリイミド等の剥離を行わず、イオン注入、イオンドーピング法により燐を注入する。イオン注入法の場合、例えば加速電圧は100keV、ドーズ量は $5 \times 10^{15} \text{ cm}^{-2}$ とする。燐イオンは上部にゲート電極が存在しないソース・ドレイン領域10



8には燐イオンがヘビードープされる。この領域に電氣的に隣接してゲートテーパ端部を通過して燐イオンが注入される領域、つまりライトリドープされた領域109、さらに隣接して膜厚が215nm以上あるテーパ部直下の活性層領域、すなわちイントリンシックSiのままである領域110が得られる(図1(d))。

【0016】次にレジスト・ポリイミド等の剥離を行わず、CDE法によるエッチング時に用いたままの状態ですらに、RIE法の異方性エッチング時のマスクとして使用する。RIE法により $\theta_2 = 87^\circ$ のテーパ角でゲート電極を再エッチングすると約600nmのオフセット領域110と、約460nmのLDD領域109が形成できる。このときの活性層及びゲート電極の状態について記載する。ゲート電極の再エッチングによりゲート電極107b長は短くなり、それにともないチャネル領域はやや短くなる。チャネルに隣接して前記ライトリドープ(LDD)領域109、イントリンシックSi領域(オフセット領域)110がソース・ドレイン領域の一部として加わる(図1(e))。

【0017】この後レジスト等の剥離を行った後、APCVD法により層間絶縁膜111を400nm程度被着する(図1(f))。次に、例えばXeClエキシマレーザアニールによりソース・ドレイン領域、ゲート電極107bの活性化を行う。この時のレーザエネルギーは約200mJ/cm<sup>2</sup>とすれば、十分に活性化ができる。レーザ活性化法を用いた場合不純物の拡散長は、たかだか60nm程度であるので約540nm(0.5 $\mu$ m)のオフセット領域110が形成される。さらに、LDD領域109とオフセット領域110を同時に熔融させるために、良好なn/i接合を形成できることも、リーク電流低減に寄与している(図1(g))。

【0018】さらに、フォトリソグラフィによりコンタクトホールHを開孔し(図1(h))、ソース・ドレイン電極として例えばAl膜をスパッタリング法により成膜する。フォトリソグラフィ等によりソース・ドレイン電極112にパターニングして、nチャネルコプラナ型TFETが完成する(図1(i))。

【0019】ここでゲート電極107a、107bのテーパ加工について説明を加える。ゲート電極をテーパエッチングする際、図2に示したようにゲート電極107aのテーパ角を $\theta_1$ 度とする。次に、レジスト等の剥離を行わずそのままゲート電極107aをマスクとして不純物を注入する。さらに、前記ゲート電極107aエッチング時に用いたレジスト等をマスクとし、ゲート電極107aのエッチ部が垂直あるいは垂直に近い角度( $\theta_2$ )になるように再エッチングを行ってゲート電極107bを形成する。この時、 $\theta_2 > \theta_1$ なる条件でエッチングすることは、言うまでもない。ゲート電極107a、ゲート絶縁膜104を通過して不純物が注入される領域の長さ( $L_1$ )と、チャネル領域に隣接したイン

トリンシックポリシリコンのいわゆるオフセット領域の長さ( $L_0$ )の制御は、ゲート電極107a、107bの膜厚、イオン加速電圧、ゲート電極テーパ部の角度( $\theta_1$ 、 $\theta_2$ )等によって制御する。この時の活性層103中の平均不純物密度を図3に示す。このように、1度の不純物注入工程で、ゲート電極端107bからの距離により、高不純物濃度領域108( $>L_1$ )、低不純物濃度領域109( $L_1 > L_0$ )、オフセット領域110( $L_0 > 0$ )の3領域を形成することができる。

【0020】また、ゲート電極を上記条件( $\theta_2 > \theta_1$ )で2回でエッチングした後、ゲート電極をマスクとして、さらに不純物を低濃度で注入するとLDD構造をとることもできる。

【0021】このとき、不純物を含まないpoly-Si領域(オフセット領域)104の長さ( $L_1$ )と、低不純物濃度領域105の長さ( $L_0$ )の比( $L_1/L_0$ )が0.1以上であることが高い信頼性を得ることから好ましい。

【0022】この製造方法によれば、オフセット領域を形成するために新たなマスクを必要としない。従ってその分の余分のPEP工程等がなくなり、大幅に工程を簡略化することができる。

【0023】本発明のTFETにおいては、容易にオフセット構造を形成することができリーク電流を $7 \times 10^{-11}$ A程度に低減でき、ゲート電極にテーパがついているにも関わらず、前記ゲート電極直下のゲート絶縁膜中に燐イオンが注入されずTFETの信頼性が向上する。

(実施例2) 本実施例が、実施例1と異なる点は、半導体がSi以外の半導体である化合物半導体のGaAsであり、ゲート電極がWNxのショットキー電極になったことにある。この場合、実施例1の様なゲート絶縁膜は必要ないので、Si基板上にGaAs層を形成しておき、このGaAs層上にさらに形成したテーパ形状(底面が広がった台形)のゲート電極から不純物をイオン注入してソース・ドレイン領域を形成し、この後、ゲート電極の側面を実施例1と同様にエッチングする。エッチングした下部のGaAs層がオフセット領域となる。これによって実施例1とは材料系は異なるもののGaAsを用いたコプラナ型TFETをオフセット領域を持った構造で実施例1と同様に形成することができる。甲第1号証かについても、実施例1と同様に奏する事ができる。

【0024】なお、本発明では、コプラナ型TFETについて説明したが、本発明の主旨を逸脱しない範囲において、さまざまに変形することができる。例えばソース・ドレイン領域、チャネル領域よりもゲート電極が上にくるTFET、例えばスタガ型TFETについても同様に実施することができる。また、nチャネルまたはpチャネルタイプのTFETに適用することができるのは言うまでもない。ゲート電極材料については、高融点金属、その経過物、窒化物などが使用でき、また、ゲート絶縁膜につ

いては、窒化シリコン、窒化酸化シリコン等が使用でき、さらには、ソース・ドレイン領域、チャネル領域については、多結晶、非晶質の各種半導体を使用することができる。

#### 【0025】

【発明の効果】本発明により、オフセット領域を形成するためのフォトリソグラフィ工程を削除し、製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

#### 【図面の簡単な説明】

【図1】 本発明の実施例を工程順に示した断面図。

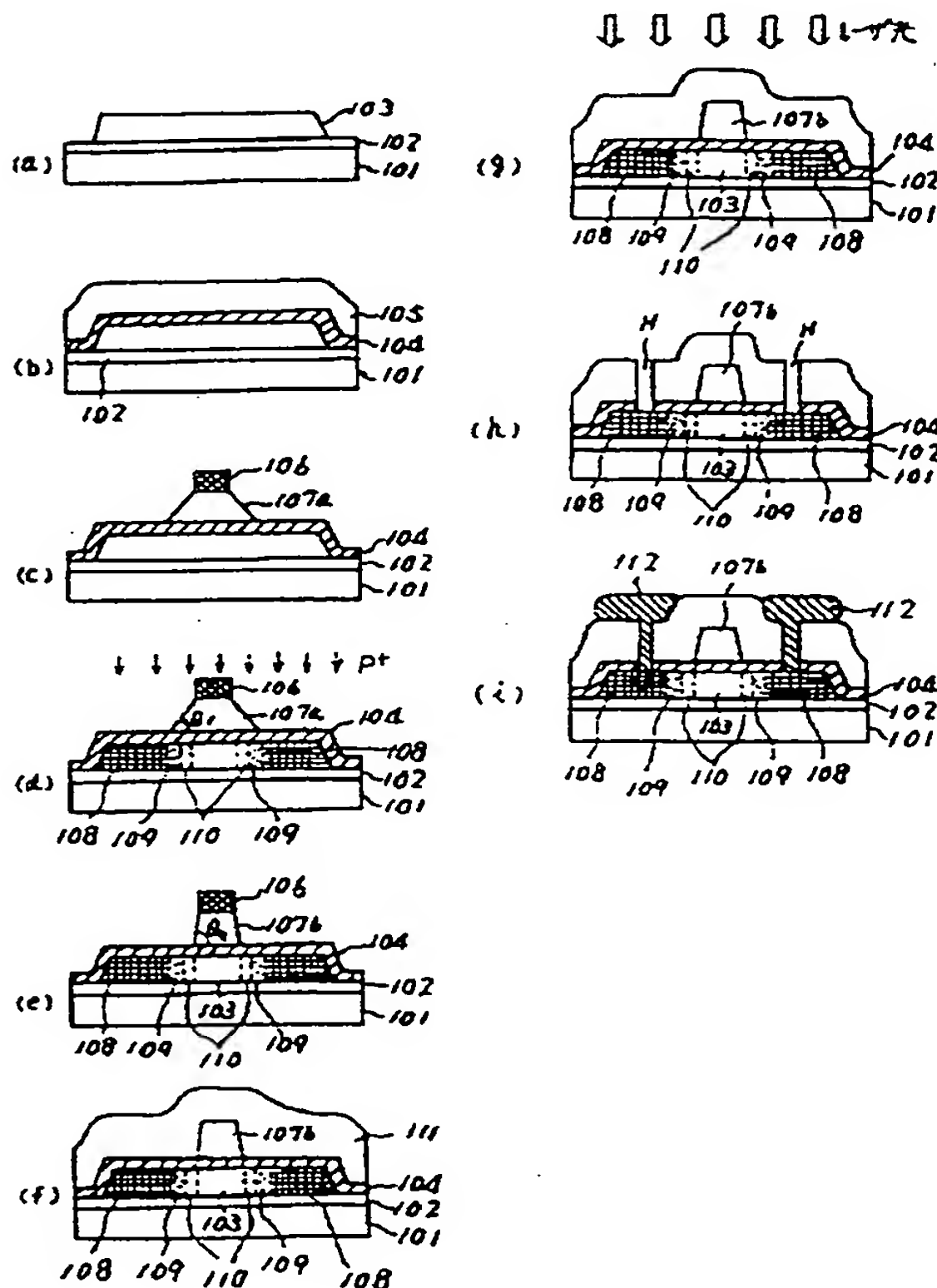
【図2】 本発明の実施例の要部拡大図。

【図3】 本発明の実施例を説明する図。

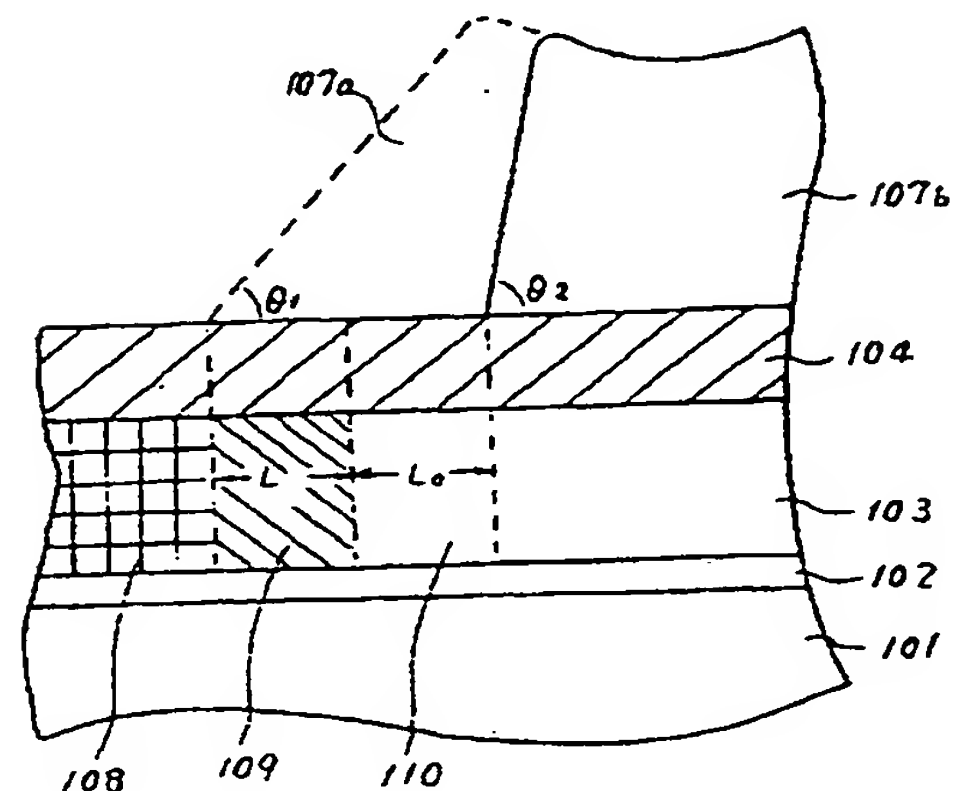
#### 【符号の説明】

- 101 基板
- 102 バッファ層
- 103 多結晶シリコンチャネル
- 104 ゲート絶縁膜
- 107a、107b ゲート電極
- 108 ソース・ドレイン領域
- 109 低不純物濃度領域
- 110 オフセット領域
- 111 層間絶縁膜

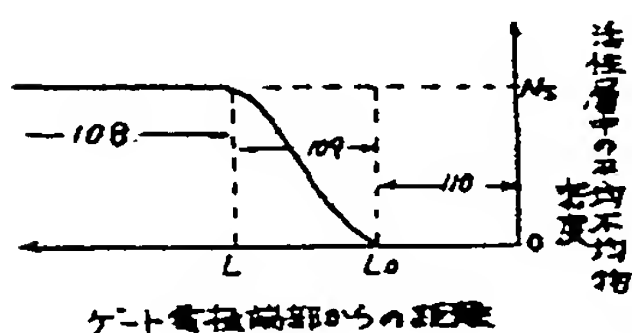
【図1】



【図2】



【図3】



(5)

特開平07-235680

フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号  
9056-4M

F I

H O 1 L 29/78

技術表示箇所

3 1 1 G



【公報種別】 特許法第17条の2の規定による補正の掲載  
【部門区分】 第7部門第2区分  
【発行日】 平成13年11月9日(2001. 11. 9)

【公開番号】 特開平7-235680  
【公開日】 平成7年9月5日(1995. 9. 5)  
【年通号数】 公開特許公報7-2357  
【出願番号】 特願平6-25800  
【国際特許分類第7版】

H01L 29/786  
21/336  
21/265

【F I】

H01L 29/78 311 P  
21/265 G  
29/78 311 G

【手続補正書】

【提出日】 平成13年2月23日(2001. 2. 23)

【手続補正1】

【補正対象書類名】 明細書

【補正対象項目名】 全文

【補正方法】 変更

【補正内容】

【書類名】 明細書

【発明の名称】 薄膜トランジスタの製造方法

【特許請求の範囲】

【請求項1】 絶縁基板上に半導体層を島状に形成する工程と、この半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜上に所定パターンのレジストマスクを形成する工程と、前記導電膜をその上面が前記レジストマスクに従い、底面が広がったテーパー状にパターニングする工程と、この導電膜をマスクとして前記半導体層に不純物を導入する工程と、前記レジストマスクを用いて前記導電膜の側面をエッチングしてゲート電極を形成する工程とを具備することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 絶縁基板上に半導体層を島状に形成する工程と、この半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜をその底面端部が広がったテーパー状にパターニングする工程と、この導電膜のパターンをマスクとして前記半導体層に所定濃度の不純物を導入する工程と、前記導電膜の側面をエッチングしてゲート電極を形成する工程と、前記半導体層に、前記ゲート電極をマスクとして前記所定濃度よりも低い濃度の不純物を導入する工程と、を具備することを特徴とする薄膜トランジスタの製造方法。

【請求項3】 前記導電膜をパターニングする工程と、前記ゲート電極を形成する工程では同一のマスクを用い

ることを特徴とする請求項2記載の薄膜トランジスタの製造方法。

【請求項4】 前記半導体層を島状に形成する工程の前に、前記絶縁基板上にバッファ層を形成する工程を具備することを特徴とする請求項1乃至2のいずれかに記載の薄膜トランジスタの製造方法。

【請求項5】 前記薄膜トランジスタの製造方法において、前記ゲート電極をレーザ活性化する工程をさらに具備することを特徴とする請求項1乃至2のいずれかに記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 プラズマ、発光ダイオード、液晶等の表示デバイスは、表示部の薄型化が可能であり、事務機器やコンピュータ等の表示装置あるいは特殊な表示装置への用途として要求が高まっている。

【0003】 これらの中で、非晶質であるアモルファス・シリコン(a-Si)または結晶を持ったシリコン(ポリシリコン: poly-Si)を用いた薄膜トランジスタ(TFT)をスイッチング素子としてマトリックス上に配した液晶表示装置(TFT-LCD)は、表示品位が高く、低消費電力であるため、その開発が盛んに行われている。

【0004】 特にpoly-Siを用いたTFTは、a-SiTFTよりも移動度が10から100倍程度高く、その利点を利用して画素スイッチング素子として用いるだけでなく、周辺駆動回路にpoly-SiTFTを用いて、画素TFTと駆動回路TFTを同一基板上に同時に形成する駆動回路一体型TFT-LCDの研究開発

が盛んに行われている。

【0005】poly-SiTFTは、a-SiTFTに比べ移動度は高いが、他方リーク電流（TFTがOFFのとき流れてしまうリーク電流）がa-SiTFTに比べ高いという難点がある。駆動回路を構成する場合には、特に問題にならないが画素スイッチングに用いた場合は、画質劣化の原因となる。

【0006】そのため、画素に用いるpoly-SiTFTには、さまざまに構造上に工夫をこらしたものがある。その一例として、オフセット構造を持ったTFTを製造する場合、ソースドレイン領域、オフセット領域を形成するために、フォトリソグラフィ工程が2回必要である。従って露光のために少なくとも2つのマスクが必要であり、それに共うPEP工程等の露光工程も夫々必要となり、工程が煩雑化するという問題があった。

【0007】

【発明が解決しようとする課題】従来の薄膜トランジスタの製造方法は、リーク電流の低減化に有利なオフセット構造を有するものの、少なくとも2つのマスクを必要とする2回の露光工程が必要で工程が煩雑化する問題があった。

【0008】本発明は上記問題点に鑑みてなされたもので、1回の露光工程でオフセット構造、あるいはLDD構造を形成でき、製造工程数を簡略化した薄膜トランジスタの製造方法の提供を目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために絶縁基板上に半導体層を島状に形成する工程と、この半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜上に所定パターンのレジストマスクを形成する工程と、前記導電膜をその上面が前記レジストマスクに従い、底面が広がったテーパー状にパターニングする工程と、この導電膜をマスクとして前記半導体層に不純物を導入する工程と、前記レジストマスクを用いて前記導電膜の側面をエッチングしてゲート電極を形成する工程とを具備することを特徴とする薄膜トランジスタの製造方法を提供するものである。ここで、半導体は4族半導体や3-4族等の加工物半導体であっても良いが、液晶表示装置に使用した際の画質向上面からシリコンが好ましい。

【0010】

【作用】透明絶縁性基板上に、薄膜トランジスタを製造する際、ゲート電極のエッチング工程、不純物注入工程、再エッチング工程を、同一のマスクで行うことにより、サブミクロンあるいはミクロンオーダーのオフセット領域の製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

【0011】

【実施例】以下、本発明の詳細を図示の実施例により説明する。（実施例1）実施例1を図1に従い説明する。

図1にはnチャネルコプラナ型TFTの製造工程を示している。

【0012】最初にガラス基板・石英基板等からなる透光性絶縁基板101上にCVD法によりバッファ層となるSiO<sub>x</sub>膜102を100nm程度被着する。さらにCVD法によりa-Si:H膜を50nm被着し、450度で1時間炉アニールを行った後、例えばXeClエキシマレーザーアニールによりa-Si:H膜を熔融再結晶化させpoly-Si膜103を形成する。その後、フォトリソグラフィ等によりpoly-Si膜103をパターニング、エッチングし、島状に加工する（図1（a））。

【0013】次に、CVD法によりゲート絶縁膜としてSiO<sub>x</sub>膜104を100nm被着した後、ゲート電極として例えばリンドーパ-Si膜105を400nm被着する（図1（b））。

【0014】フォトリソグラフィによりレジスト、感光性ポリイミド106等をパターニングした後に、ゲート電極107aを例えばCDE法等により $\theta_1 = 25^\circ$ の角度がつくようにエッチングを行う（図1（c））。

【0015】次にレジスト、ポリイミド等の剥離を行わず、イオン注入、イオンドーピング法によりリンを注入する。イオン注入法の場合、例えば加速電圧は100keV、ドーズ量は $5 \times 10^{15} \text{ cm}^{-2}$ とする。リンイオンは上部にゲート電極が存在しないソース・ドレイン領域108にはリンイオンがヘビードープされる。この領域に電氣的に隣接してゲートテーパ端部を通過してリンイオンが注入される領域、つまりライトリドープされた領域109、さらに隣接して膜厚が215nm以上あるテーパ部直下の活性層領域、すなわちイントリンシックSiのままである領域110が得られる（図1（d））。

【0016】次にレジスト・ポリイミド等の剥離を行わず、CDE法によるエッチング時に用いたままの状態ですらに、RIE法の異方性エッチング時のマスクとして使用する。RIE法により $\theta_2 = 87^\circ$ のテーパ角でゲート電極を再エッチングすると約600nmのオフセット領域110と、約460nmのLDD領域109が形成できる。このときの活性層及びゲート電極の状態について記載する。ゲート電極の再エッチングによりゲート電極107b長は短くなり、それにともないチャネル領域はやや短くなる。チャネルに隣接して前記ライトリドープ（LDD）領域109、イントリンシックSi領域（オフセット領域）110がソース・ドレイン領域の一部として加わる（図1（e））。

【0017】この後レジスト等の剥離を行った後、APCVD法により層間絶縁膜111を400nm程度被着する（図1（f））。次に、例えばXeClエキシマレーザーアニールによりソース・ドレイン領域、ゲート電極107bの活性化を行う。この時のレーザーエネルギーは約200mJ/cm<sup>2</sup>とすれば、十分に活性化ができ

る。レーザ活性化法を用いた場合不純物の拡散長は、たかだか60nm程度であるので約540nm(0.5 $\mu$ m)のオフセット領域110が形成される。さらに、LDD領域109とオフセット領域110を同時に溶解させるために、良好なn/i接合を形成できることも、リーク電流低減に寄与している(図1(g))。

【0018】さらに、フォトリソグラフィによりコンタクトホールHを開孔し(図1(h))、ソース・ドレイン電極として例えばAl膜をスパッタリング法により成膜する。フォトリソグラフィ等によりソース・ドレイン電極112にパターンニングして、nチャネルコプラナ型TFETが完成する(図1(i))。

【0019】ここでゲート電極107a、107bのテーパ加工について説明を加える。ゲート電極をテーパエッチングする際、図2に示したようにゲート電極107aのテーパ角を $\theta_1$ 度とする。次に、レジスト等の剥離を行わずそのままゲート電極107aをマスクとして不純物を注入する。さらに、前記ゲート電極107aエッチング時に用いたレジスト等をマスクとし、ゲート電極107aのエッチ部が垂直あるいは垂直に近い角度

( $\theta_2$ )になるように再エッチングを行ってゲート電極107bを形成する。この時、 $\theta_2 > \theta_1$ なる条件でエッチングすることは、言うまでもない。ゲート電極107a、ゲート絶縁膜104を通過して不純物が注入される領域の長さ(L)と、チャネル領域に隣接したイントリンシックポリシリコンのいわゆるオフセット領域の長さ( $L_0$ )の制御は、ゲート電極107a、107bの膜厚、イオン加速電圧、ゲート電極テーパ部の角度( $\theta_1$ 、 $\theta_2$ )等によって制御する。この時の活性層103中の平均不純物密度を図3に示す。このように、1度の不純物注入工程で、ゲート電極端107bからの距離により、高不純物濃度領域108( $>L$ )、低不純物濃度領域109( $L > L_0$ )、オフセット領域110( $L_0 > 0$ )の3領域を形成することができる。

【0020】また、ゲート電極を上記条件( $\theta_2 > \theta_1$ )で2回でエッチングした後、ゲート電極をマスクとして、さらに不純物を低濃度で注入するとLDD構造をとることもできる。

【0021】このとき、不純物を含まないpoly-Si領域(オフセット領域)104の長さ(L)と、低不純物濃度領域105の長さ( $L_0$ )の比( $L/L_0$ )が0.1以上であることが高い信頼性を得ることから好ましい。

【0022】この製造方法によれば、オフセット領域を形成するために新たなマスクを必要としない。従ってその分の余分のPEP工程等がなくなり、大幅に工程を簡略化することができる。

【0023】本発明のTFETにおいては、容易にオフセット構造を形成することができリーク電流を $7 \times 10$

-11A程度に低減でき、ゲート電極にテーパがついているにも関わらず、前記ゲート電極直下のゲート絶縁膜中に隣イオンが注入されずTFETの信頼性が向上する。

(実施例2) 本実施例が、実施例1と異なる点は、半導体がSi以外の半導体である化合物半導体のGaAsであり、ゲート電極がWNxのショットキー電極になったことにある。この場合、実施例1の様なゲート絶縁膜は必要ないので、Si基板上にGaAs層を形成しておき、このGaAs層上にさらに形成したテーパ形状(底面が広がった台形)のゲート電極から不純物をイオン注入してソース・ドレイン領域を形成し、この後、ゲート電極の側面を実施例1と同様にエッチングする。エッチングした下部のGaAs層がオフセット領域となる。これによって実施例1とは材料系は異なるもののGaAsを用いたコプラナ型TFETをオフセット領域を持った構造で実施例1と同様に形成することができる。

【0024】なお、本発明では、コプラナ型TFETについて説明したが、本発明の主旨を逸脱しない範囲において、さまざまに変形することができる。例えばソース・ドレイン領域、チャネル領域よりもゲート電極が上にくるTFET、例えばスタガ型TFETについても同様に実施することができる。また、nチャネルまたはpチャネルタイプのTFETに適用することができるのは言うまでもない。ゲート電極材料については、高融点金属、その経過物、窒化物などが使用でき、また、ゲート絶縁膜については、窒化シリコン、窒化酸化シリコン等が使用でき、さらには、ソース・ドレイン領域、チャネル領域については、多結晶、非晶質の各種半導体を使用することができる。

【0025】

【発明の効果】本発明により、オフセット領域を形成するためのフォトリソグラフィ工程を削除し、製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

【図面の簡単な説明】

【図1】 本発明の実施例を工程順に示した断面図。

【図2】 本発明の実施例の要部拡大図。

【図3】 本発明の実施例を説明する図。

【符号の説明】

- 101 基板
- 102 バッファ層
- 103 多結晶シリコンチャネル
- 104 ゲート絶縁膜
- 107a、107b ゲート電極
- 108 ソース・ドレイン領域
- 109 低不純物濃度領域
- 110 オフセット領域
- 111 層間絶縁膜

Japanese Laid-open Patent

Laid-open Number: Hei 7-235680  
Laid-open Date: September 5, 1995  
Application Number: Hei 6-25800  
Filing Date: February 24, 1994  
Applicant: TOSHIBA CORPORATION

(54) [Title of the Invention] A METHOD OF MANUFACTURING A THIN FILM TRANSISTOR

(57) [Summary]

[Object] To provide a TFT in which a leak current is reduced without complicated manufacturing steps.

[Structure] Provided is a method of manufacturing a thin film transistor that is a top gate type thin film transistor with a channel containing polycrystalline silicon, in which a thin film transistor that has a source/drain region containing an intrinsic region, a low impurity concentration region, and a high impurity concentration region is formed through two etching steps and one impurity implantation step by the same mask using a gate electrode.



[Scope of Claim for a Patent]

[Claim 1] A method of manufacturing a thin film transistor, characterized by comprising a step of forming a semiconductor layer on an insulating substrate, a step of forming on the semiconductor layer a gate electrode having an extended bottom surface, a step of forming a source/drain region by introducing an impurity into said semiconductor layer with the gate electrode used as a mask, and a step of etching side surfaces of said gate electrode.

[Detailed Description of the Invention]

[0001]

[Field of the Industrial Application] The present invention relates to a method of manufacturing a thin film transistor.

[0002]

[Prior Art] In a display device using a plasma, light emitting diode, liquid crystal, or the like, since a display portion thereof can be made thin, there is increasing a demand for its application to display devices used in an office equipment or a computer, or to special display devices.

[0003] Among those, a liquid crystal display device (TFT-LCD) in which thin film transistors (TFTs) made of amorphous silicon (a-Si) or silicon containing a crystal (polysilicon: poly-Si) are arranged in a matrix as switching elements is high in a display quality with low power consumption, so that a development thereof is being made intensively.

[0004] In particular, the TFT made of the poly-Si has a mobility about 10 to 100 times as high as that of an a-Si TFT and serves as a pixel switching element by utilizing the above advantage. In addition, there has been intensively performed a research and development on a drive circuit integrated type TFT-LCD in which the poly-Si TFT is applied to a peripheral drive circuit to simultaneously form a pixel TFT and a drive circuit TFT on the same substrate.

[0005] While the poly-Si TFT is higher in mobility than the a-Si TFT, it involves a problem in that a leak current (leak current caused to flow at the time of TFT being in an OFF state) is increased as compared with the a-Si TFT. When using it for constructing the drive circuit, this causes particularly no problem, whereas when using it for the pixel switching, this causes a deterioration in an image quality.

[0006] Therefore, there are various types of poly-Si TFT used for a pixel which are devised in structure. When manufacturing a TFT having an offset structure as an example thereof, in order to form a source/drain region and an offset region it is necessary to perform a photolithography step twice. Thus, at least two masks are required for exposure, and exposing steps such as a PEP step are accordingly necessary for each case, with the result that the steps are complicated.

[0007]



[Problems to be solved by the Invention] A conventional manufacturing method for a thin film transistor has a problem in that, although it employs an offset structure advantageous in reducing a leak current, it is necessary to perform an exposing step twice for which at least two masks are required, resulting in complicated steps.

[0008] The present invention has been made in view of the above-mentioned problems and an object thereof is to provide a method of manufacturing a thin film transistor in which the offset structure can be obtained through a single exposing step and therefore manufacturing steps are simplified.

[0009]

[Means for solving the Problem] In order to attain the above-mentioned object, according to the present invention there is provided a method of manufacturing a thin film transistor, characterized by comprising a step of forming a semiconductor layer on an insulating substrate, a step of forming on the semiconductor layer a gate electrode having an extended bottom surface, a step of forming a source/drain region by introducing an impurity into the semiconductor layer with the gate electrode used as a mask, and a step of etching side surfaces of the gate electrode. In this case, although a semiconductor may be a Group-IV semiconductor, or a Group-III-VI compound semiconductor etc., it is preferred to employ silicon since it increases an image quality when being used for a liquid crystal display device.

[0010]

[Operation] At the time of manufacturing the thin film transistor on a transparent insulating substrate, the etching step of the gate electrode, the impurity implantation step, and the re-etching step are performed using the same mask, so that the manufacturing steps of the offset region in a submicron or micron order can be simplified. Therefore, it is possible to realize a reduction in cost and an increase in yield.

[0011]

[Embodiment] Hereinafter, the present invention will be described in detail based on embodiments thereof as shown in the drawings.

(Embodiment 1) Embodiment 1 will be described with reference to Figs. 1. Figs. 1 show manufacturing steps of an n-channel coplanar type TFT.

[0012] First, on a transparent insulating substrate 101 that is a glass substrate, quartz substrate, or the like, an SiO<sub>x</sub> film 102 is deposited with a thickness of about 100 nm by a CVD method as a buffer layer. Further, an a-Si:H film is deposited with a thickness of 50 nm by the CVD method, followed by furnace annealing at 450 °C for 1 hour. Thereafter, for example, XeCl excimer laser annealing is performed and thus the a-Si:H film is melted and recrystallized to form a poly-Si film 103. Then, the poly-Si film 103 is subjected to patterning and etching through a photolithography etc., and is processed into an island shape (Fig. 1(a)).

[0013] Next, an SiO<sub>x</sub> film 104 is deposited with a thickness of 100 nm by the CVD method as a gate insulating film and then, for example, a phosphor-doped a-Si film 105 is deposited with a thickness of 400nm as a gate electrode (Fig. 1(b)).

[0014] After patterning a resist, photosensitive polyimide 106, or the like through the photolithography, etching is performed to form a gate electrode 107a so as to have an angle  $\theta_1 = 25^\circ$  by, for example, a CDE method (Fig. 1(c)).

[0015] Subsequently, without peeling off the resist, polyimide, or the like, phosphor is implanted by an ion implantation method or ion doping method. In the case of the ion implantation method, for example, an accelerating voltage is set to 100 keV and a dosage is set to  $5 \times 10^{15} \text{ cm}^{-2}$ . Phosphor ions are heavily doped into source/drain regions 108 overlaid with no gate electrode. Thus, obtained are regions which electrically contact the above regions and in which the phosphor ions are implanted through tapered end portions of the gate, i.e., lightly-doped regions 109. In addition, active layer regions adjacent to the lightly-doped regions, which have a film thickness of 215 nm or more and locate directly below the tapered portions, i.e., regions 110 maintained as intrinsic Si are obtained (Fig. 1(d)).

[0016] Next, the resist, polyimide, or the like is not peeled off, and while being maintained in the same state as it was when used in the etching through the CDE method, it is used as a mask at the

time of anisotropic etching through an RIE method. The gate electrode is re-etched at a taper angle  $\theta_2 = 87^\circ$  by the RIE method to thereby form offset regions 110 of about 600 nm and LDD regions 109 of about 460 nm. Description will be made of the states of the active layer and gate electrode at this time. By re-etching the gate electrode, a length of a gate electrode 107b is reduced, which accordingly makes a channel region slightly shorter. The above-mentioned lightly-doped (LDD) regions 109 and the intrinsic Si regions (offset regions) 110 adjacent to the channel are added to form a portion of the source/drain regions (Fig. 1(e)).

[0017] Thereafter, the resist or the like is peeled off before an interlayer insulating film 111 is deposited with a thickness of about 400 nm by an APCVD method (Fig. 1(f)). Next, for example, the XeCl excimer laser annealing is performed to activate the source/drain regions and the gate electrode 107b. At this time, a laser energy of about  $200 \text{ mJ/cm}^2$  is sufficient for the activation thereof. A diffusion length of an impurity is only in the order of 60 nm when a laser activation method is used, so that the offset regions 110 of about 540 nm ( $0.5 \text{ }\mu\text{m}$ ) are obtained. Further, the LDD regions 109 and offset regions 110 can be melted at the same time to thereby obtain a proper n/i junction, which contributes to the reduction in the leak current as well (Fig. 1(g)).

[0018] Further, contact holes H are formed by the photolithography (Fig. 1(h)) and, for example, an Al film is formed as source/drain

electrodes by a sputtering method, which is then patterned into source/drain electrodes 112 through the photolithography etc., thereby completing the n-channel coplanar type TFT (Fig. 1(i)).

[0019] Here, an additional description is made of a taper processing of the gate electrode 107a, 107b. When etching the gate electrode into a tapered shape, the taper angle of the gate electrode 107a is set to  $\theta_1$  degree as shown in Fig. 2. Next, without peeling off the resist etc., while the gate electrode 107a is used as a mask as it is, the impurity is implanted. Further, the resist etc. that has been used when etching the above gate electrode 107a is adopted as the mask and re-etching is performed such that edge portions of the gate electrode 107a are formed at right angles or substantially right angles ( $\theta_2$ ) to form the gate electrode 107b. At this time, it is needless to say that the etching is performed under the condition of  $\theta_2 > \theta_1$ . A length ( $L_1$ ) of a region into which the impurity is implanted through the gate electrode 107a and gate insulating film 104 and a length ( $L_0$ ) of the so-called offset region adjacent to the channel region as the intrinsic polysilicon are controlled according to the film thickness of gate electrode 107a, 107b, an ion accelerating voltage, the angle of the tapered portion of the gate electrode ( $\theta_1, \theta_2$ ), and the like. Fig. 3 shows an average impurity density in the active layer 103 in this case. Thus, through one impurity implantation step, three regions consisting of a high impurity concentration region 108 ( $>L_1$ ), a low impurity concentration

region 109 ( $L_1 > L_0$ ), and the offset region 110 ( $L_0 > 0$ ) can be formed based on a distance from the gate electrode end 107b.

[0020] Alternatively, the gate electrode is etched in two steps under the above condition ( $\theta_2 > \theta_1$ ) and then is used as the mask to further add the impurity at a low concentration, so that an LDD structure can be also realized.

[0021] At this time, it is preferable in view of a high reliability that a ratio ( $L_1/L_0$ ) of the length ( $L_1$ ) of the poly-Si region (offset region) 104 containing no impurity to the length ( $L_0$ ) of the low impurity concentration region 105 is set to 0.1 or more.

[0022] By using the manufacturing method as described above, an additional mask is unnecessary to form the offset region. Accordingly, this eliminates the additional PEP step or the like which is required therefor, so that the steps can be significantly simplified.

[0023] In the TFT of the present invention, it is possible to readily obtain the offset structure and reduce the leak current to about  $7 \times 10^{-11}$  A, and irrespective of the tapered gate electrode, the phosphor ions are prevented from being implanted into the gate insulating film directly below the above-mentioned gate electrode, with the result that the reliability of the TFT is improved.

(Embodiment 2) This embodiment differs from Embodiment 1 in that GaAs serving as the compound semiconductor is applied to a semiconductor instead of Si, and a Schottky electrode made of WNx



is used for the gate electrode. In this case, the gate insulating film as in Embodiment 1 is unnecessary, so that on an Si substrate a GaAs layer and a gate electrode are formed in the stated order with the gate electrode formed into a tapered shape (trapezoid with the bottom surface extended). Through the gate electrode, impurity is implanted by the ion implantation to form the source/drain regions and then the side surfaces of the gate electrode are etched in the same manner as in Embodiment 1. The GaAs layer below the etched portions serves as offset regions. Thus, although differing from Embodiment 1 in a material system, this embodiment makes it possible to form the coplanar type TFT using the GaAs with the structure provided with the offset region as in Embodiment 1. It is also possible to effect the Exhibit-A as in Embodiment 1.

[0024] Note that, the description of the present invention has been directed to the coplanar type TFT but various modifications thereof are possible without departing from a gist of the present invention. For example, TFTs such as a stagger type TFT in which the gate electrode locates above the source/drain region and the channel region may be embodied as well. Further, needless to say, the present invention can be applied to an n-channel or p-channel TFT. As for a material for the gate electrode, a high melting point metal and its derivative, nitride, or the like can be employed. As for the gate insulating film, silicon nitride, silicon oxynitride, or the like can be used, and in addition, as for the source/drain region and channel region,

various polycrystalline or amorphous semiconductors can be used.

[0025]

[Effects of the Invention] According to the present invention, the photolithography step adapted to form the offset region is eliminated, whereby the manufacturing steps can be simplified. Thus, it is possible to reduce the cost and increase the yield.

[Brief Description of the Drawings]

[Figs. 1] Sectional views showing an embodiment of the present invention in the step order.

[Fig. 2] An enlarged view showing a main part of the embodiment of the present invention.

[Fig. 3] A view illustrating the embodiment of the present invention.

[Description of Reference Numerals]

101 substrate

102 buffer layer

103 polycrystalline silicon channel

104 gate insulating film

107a, 107b gate electrode

108 source/drain region

109 low impurity concentration region

110 offset region

111 interlayer insulating film

FIG. 1

LASER LIGHT

FIG. 3

AVERAGE IMPURITY DENSITY IN ACTIVE LAYER

DISTANCE FROM GATE ELECTRODE END PORTION